

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10240527 A**

(43) Date of publication of application: **11 . 09 . 98**

(51) Int. Cl

**G06F 9/38**

**G06F 9/38**

(21) Application number: **09039236**

(22) Date of filing: **24 . 02 . 97**

(71) Applicant: **HITACHI LTD**

(72) Inventor:  
**JIN KENJI**  
**IMORI HIROMITSU**  
**IMON TOKUYASU**

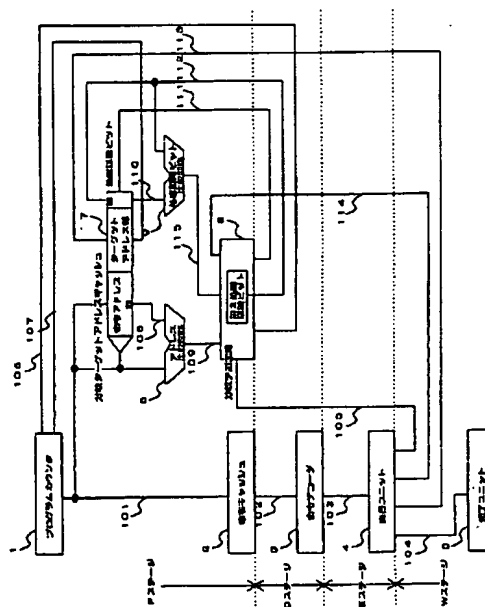
**(54) DATA PROCESSOR**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To reduce prediction failure penalties in branching instruction execution after a processing is changed by the generation of interruption or the like and to improve throughput.

**SOLUTION:** The respective entries of a branching target address cache 7 and a branching prediction circuit 8 for controlling the branching target address cache 7 are respectively provided with a processing recognition bit. At the time of performing branching prediction, whether or not they are prediction data registered before the processing is changed is judged in the processing in a system call, the interruption and recovery from the interruption, etc., from the compared result of the processing recognition bits and the prediction data are not used even though they are registered in the case of the prediction data registered before the processing is changed. Thus, the penalties by branching prediction failures are reduced.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-240527

(43) 公開日 平成10年(1998) 9月11日

(51) IntCl<sup>6</sup>

G 0 6 F 9/38

識別記号

3 3 0

3 8 0

F I

G 0 6 F 9/38

3 3 0 C

3 8 0 B

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平9-39236

(22) 出願日 平成9年(1997) 2月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 神 健治

神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(72) 発明者 位守 弘充

神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(72) 発明者 井門 徳安

神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(74) 代理人 弁理士 武 顯次郎

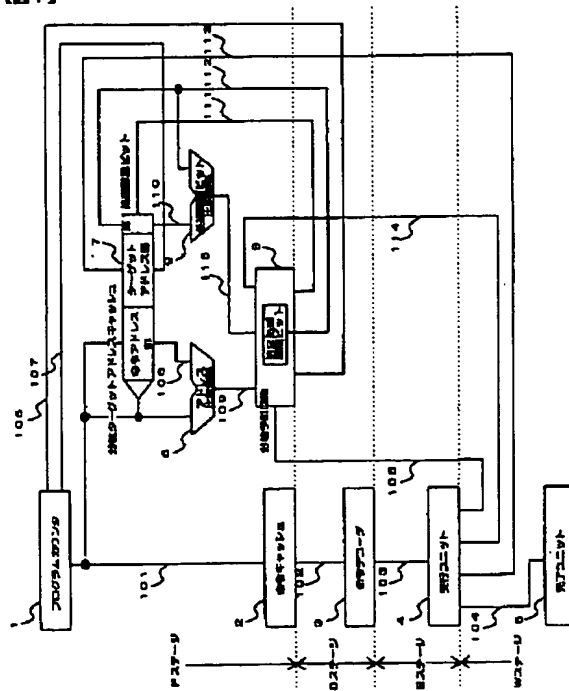
(54) 【発明の名称】 データプロセッサ

(57) 【要約】

【課題】 割り込みの発生等により処理が変更になった後の分岐命令実行における予測失敗ペナルティを減少させ、処理性能を向上させたデータプロセッサ。

【解決手段】 分岐ターゲットアドレスキャッシュ7の各エントリと、分岐ターゲットアドレスキャッシュ7を制御する分岐予測回路8とに、処理認識ビットをそれぞれ設け、分岐予測を行う際には処理認識ビットの比較結果から、システムコール、割り込み、割り込みからの回復等における処理において、処理変更以前に登録された予測データか否かを判定し、処理変更前に登録された予測データであった場合には予測データが登録されていても使用しないようにする。これにより、分岐予測失敗によるペナルティを減少することができる。

【図1】



## 【特許請求の範囲】

【請求項1】 分岐命令の命令アドレスと、分岐命令のターゲットアドレスとを対としたデータを複数組記憶する分岐ターゲットアドレスキャッシュを有するデータプロセッサにおいて、前記分岐ターゲットアドレスキャッシュの各エントリに第1の処理認識ビット、分岐予測回路内に第2の処理認識ビットをそれぞれ設け、前記第1及び第2の処理認識ビットは、通常処理であるか、または、それ以外の処理であるかを示すものとし、さらに、通常処理以外の処理により前記第2の処理認識ビットを更新する手段と、前記分岐ターゲットアドレスキャッシュへの分岐命令登録時に前記第2の処理認識ビットの値を前記第1の処理認識ビットに登録する手段とを備え、前記分岐ターゲットアドレスキャッシュを用いた分岐を行うか否かの分岐予測を前記第1の処理認識ビットと前記第2の処理認識ビットとを用いて行うことを特徴とするデータプロセッサ。

【請求項2】 前記分岐ターゲットアドレスキャッシュを用いた分岐予測は、前記分岐ターゲットアドレスキャッシュ内に登録されている分岐命令アドレスと、実行する分岐命令の命令アドレスが一致し、かつ、前記分岐ターゲットアドレスキャッシュ内の第1の処理認識ビットの値と前記分岐予測回路内の第2の処理認識ビットの値とが一致していれば予測成功、不一致であれば予測失敗と判定することにより行い、予測失敗の場合、前記分岐ターゲットアドレスキャッシュに登録されている予測データを使用しないことを特徴とする請求項1記載のデータプロセッサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、データプロセッサに係り、特に、分岐命令を効率的に行うことを可能にしたパイプライン方式のデータプロセッサに関する。

## 【0002】

【従来の技術】データプロセッサの処理能力を向上させる方式としてパイプライン方式が知られている。パイプライン方式は、命令を複数の実行ステージに分割して処理を行うことにより、複数の命令をオーバーラップさせて実行することを可能にした方式であり、これにより、トータルな命令処理時間を短縮することができる。そして、このようなデータプロセッサによる命令の実行に際しては、分岐命令が実行の流れに大きく影響を及ぼすことが知られている。

【0003】分岐命令を実行する際の技術として分岐予測があるが、分岐予測は効率よく行われないと実行されないはずの命令を処理しようとするなど余分な動作を行い、ペナルティを増加させ、データプロセッサの性能低下を引き起こしてしまう。このため、パイプライン処理を行うデータプロセッサは、この分岐予測が性能の向上に重要な役割をしめるといえる。

【0004】図2は従来技術によるパイプライン制御のデータプロセッサの構成を示すブロック図、図3は分岐予測が成功した場合の動作を説明するタイムチャート、図4は分岐予測が失敗した場合の動作を説明するタイムチャートであり、以下、図2～図4を参照して、従来技術によるパイプライン制御のデータプロセッサの構成と命令実行の動作を説明する。この例では、各命令は、命令読み出しステージ（IFステージ）、命令読解を行うデコードステージ（Dステージ）、演算を行う実行ステージ（Eステージ）、結果格納を行う書き込みステージ（Wステージ）に分割されて実行されるものとする。図2において、1はプログラムカウンタ、2は命令キャッシュ、3は命令デコーダ、4は実行ユニット、5は完了ユニット、6はアドレス比較回路、7は分岐ターゲットアドレスキャッシュ、8は分岐予測回路である。

【0005】図2に示すプロセッサのIFステージは、プログラムカウンタ1、命令キャッシュ2、分岐ターゲットアドレスキャッシュ7、アドレス比較回路6、分岐予測回路8により構成される。そして、プログラムカウンタ1の値は、データ線101を介して命令キャッシュ2、分岐ターゲットアドレスキャッシュ7、アドレス比較回路6に送られる。プログラムカウンタ1は、アドレスのインCREMENTを行い、分岐命令を実行する場合、分岐することがわかると分岐ターゲットアドレスをデータ線101へ送る。命令キャッシュ2は、データ線101の命令アドレスにより実行命令の取り出しを行い、取り出した命令をデータ線102を介して命令デコーダ3へ送る。

【0006】分岐ターゲットアドレスキャッシュ7は、データ線101を介した命令アドレスで検索を行い、その読み出しデータの命令アドレス部をデータ線108を介しアドレス比較回路6へ送り、ターゲットアドレス部をデータ線107を介してプログラムカウンタ1へ送る。命令アドレスは、通常、アドレスの変換が行われ、仮想アドレスから実アドレスへと変換されるが、分岐ターゲットアドレスキャッシュ7は仮想アドレスで検索される。アドレス比較回路6は、分岐ターゲットアドレスキャッシュ7から送られた読み出しデータの命令アドレス部が実行される命令のアドレスと一致するかチェックを行い、一致しているか否か（キャッシュヒットかキャッシュミスか）をデータ線109を介し分岐予測回路8へ送る。

【0007】分岐予測回路8は、アドレス比較回路6からの比較結果が一致を示している場合、プログラムカウンタ1へ次の命令アドレスが分岐ターゲットアドレスキャッシュのアドレスになるようデータ線106を介し分岐の指示を出す。

【0008】Dステージは、命令デコーダ3を備えて構成され、命令デコーダ3は、命令キャッシュ2より取り出された命令をデータ線102を介して受け取り、命令

の読解を行い、実行ユニット4へデータ線103を介し命令実行の指示を行う。

【0009】Eステージは、実行ユニット4を備えて構成され、実行ユニット4は、命令デコード3より指示された命令を実行し、実行結果を各制御回路へ送る。すなわち、分岐予測回路8へはデータ線114を介して分岐解決の結果を報告する。分岐命令が実行された場合には、解決した分岐のターゲットアドレスをデータ線113を介して分岐ターゲットアドレスキャッシュ7へ送る。分岐ターゲットアドレスキャッシュ7は、実行ユニット4からのデータ線113を介したターゲットアドレス、分岐予測回路8からのデータ線111を介した登録指示を受け、予測データの登録あるいは削除をEステージで行う。

【0010】Wステージは、完了ユニット5を備えて構成される。完了ユニット5は、実行ユニット4での実行結果をデータ線104を介し受け取り、それを図示しないレジスタへ書き戻す。

【0011】次に、前述した用に構成されるデータプロセッサにおいて、第1の命令が分岐命令であり、この第1の分岐命令における予測が成功した場合の動作を図3に示すタイムチャートを参照して説明する。

【0012】第1の命令である分岐命令①の命令アドレスが図2のプログラムカウンタ1から発行されると、IFステージでは分岐ターゲットアドレスキャッシュ7の検索を行う。この場合、予測が成功しているとしているので、分岐ターゲットアドレスキャッシュ7での検索結果はヒットであり、また、アドレス比較回路6での比較結果は一致する。このため、分岐予測回路8は、アドレス比較回路6からの比較結果を受けて分岐予測成功を判定し、プログラムカウンタ1へ分岐指示を発行する。一方、命令キャッシュ2は、IFステージで第1の命令である分岐命令①の取り出しを行い、Dステージにおける命令デコード3は、この分岐命令①を受けてその命令を実行する。

【0013】分岐予測回路8から分岐指示を受けたプログラムカウンタ1は、分岐命令①のターゲットとなる第2の命令②の命令アドレスを命令キャッシュ2に送る。この結果、命令キャッシュ2は、分岐命令①の取り出しに続いて分岐命令①のターゲットとなる第2の命令②の取り出しを行い、Dステージにおける命令デコード3は、この命令②を分岐命令①に引き続いて実行する。

【0014】その後、分岐命令①がEステージにおける実行ユニット4で実行され、その結果、分岐が解決し予測が正しかったことが判る。従って、この例では、分岐のやり直しは不要である。すなわち、IFステージでの分岐予測が成功していた場合、IFステージでは、分岐命令①に引き続き処理を開始した分岐命令①のターゲットとなる第2の命令②の処理の開始が無駄にならずに、次ステージ以降に引き渡される実行することができた

め、図3に示すように、第1の命令である分岐命令①、第2の命令②が分岐先のターゲット命令となり、ペナルティが入らないことになり、効率的な処理を行うことが可能である。

【0015】次に、第1の命令が分岐命令であり、この第1の分岐命令における分岐予測が失敗した場合の動作を図4に示すタイムチャートを参照して説明する。分岐予測失敗の1つの例としては、IFステージで行った分岐ターゲットアドレスキャッシュ7の検索がミスした場合である。この場合、実行ユニット4による実行結果で分岐が解決し、はじめて分岐することが判明するため、Eステージでの分岐となる。

【0016】図4において、第1命令が分岐命令①、第2の命令②が第1命令の分岐ターゲットとなる命令であり、第3の命令③が分岐命令①による分岐失敗のため、例えば、分岐命令①に続く命令である。

【0017】この例の場合、第1命令である分岐命令①がEステージの実行ユニット4により実行されたとき、分岐ターゲットとなる命令である第2の命令②が判り、第3の命令③の処理が中止されて、第2の命令②がIFステージで開始されることになり、そのため、1サイクルのペナルティが入ることになる。

【0018】次に、図2に示すデータプロセッサにおいて分岐命令を実行する前後で割込みが発生した場合について考える。

【0019】いま、分岐ターゲットアドレスキャッシュ7の各エントリに、割り込み前の処理で実行された分岐命令の予測データが格納されているときに割り込みが発生した場合を考える。この場合、仮想アドレスはそのまま実アドレスとなり、分岐ターゲットアドレスキャッシュ7は、実アドレスにより検索が行われることになる。しかし、分岐ターゲットアドレスキャッシュ7の検索は、アドレスの変換が行われて検索されたか否かを意識せずに行われるため、割り込み発生前に予測データを登録した分岐命令と異なる分岐命令であっても、命令のアドレスが一致すれば分岐予測の結果は成功とみなされる。この結果、IFステージで不正なアドレスへ分岐してしまい、Eステージで分岐のやり直しが必要になり、前述した分岐予測失敗の例で説明したと同様にペナルティが入ってしまう。

【0020】前述では、パイプラインが4段から構成されている場合について説明をしたが、パイプライン構成が異なり、さらに段数が増えた場合には実行ステージが遅くなるため、ペナルティの数も大きくなる。

【0021】

【発明が解決しようとする課題】前述したように、従来技術によるデータプロセッサは、分岐予測が失敗した場合、あるいは、不正な分岐が行われた場合、実行ステージで分岐のやり直しを行う必要が生じて処理にペナルティが入ってしまい、処理速度を低下させ、プロセッサの

処理効率を低下させてしまうという問題点を有している。

【0022】本発明の目的は、前記従来技術の問題点を解決し、割り込み発生等により処理が変更になった後の分岐命令実行における予測失敗のペナルティを低減し、高速な処理を可能としたデータプロセッサを提供することにある。

【0023】

【課題を解決するための手段】本発明によれば前記目的は、分岐命令の命令アドレスと、分岐命令のターゲットアドレスとを対としたデータを複数組記憶する分岐ターゲットアドレスキャッシュを有するデータプロセッサにおいて、前記分岐ターゲットアドレスキャッシュの各エントリに第1の処理認識ビット、分岐予測回路内に第2の処理認識ビットをそれぞれ設け、前記第1及び第2の処理認識ビットは、システムコール、割り込み、割り込みからの回復等の処理であるか、または、それ以外の通常処理であるかを示すものとし、さらに、前記システムコール、割り込み、割り込みからの回復等の処理により前記第2の処理認識ビットを更新する手段と、前記分岐ターゲットアドレスキャッシュへの分岐命令登録時に前記第2の処理認識ビットの値を前記第1の処理認識ビットに登録する手段とを備え、前記分岐ターゲットアドレスキャッシュを用いた分岐を行うか否かの分岐予測を前記第1の処理認識ビットと前記第2の処理認識ビットとを用いて行うことにより達成される。

【0024】また、前記目的は、前記分岐ターゲットアドレスキャッシュ内に登録されている分岐命令アドレスと、実行する分岐命令の命令アドレスが一致し、かつ、前記分岐ターゲットアドレスキャッシュ内の第1の処理認識ビットの値と前記分岐予測回路内の第2の処理認識ビットの値とが一致していれば予測成功、不一致であれば予測失敗と判定し、予測失敗の場合、前記分岐ターゲットアドレスキャッシュに登録されている予測データを使用しないようにすることにより達成される。

【0025】

【発明の実施の形態】以下、本発明によるデータプロセッサの一実施形態を図面により詳細に説明する。

【0026】図1は本発明の一実施形態によるデータプロセッサの構成を示すブロック図である。図1において、9は処理認識ビット比較回路であり、他の符号は図2の場合と同一である。

【0027】図1に示す本発明の一実施形態によるデータプロセッサは、分岐ターゲットアドレスキャッシュ7内に第1の処理認識ビットが設けられ、分岐予測回路8内に第2の処理認識ビットが設けられ、これらのビットを比較する処理認識ビット比較回路9がIFステージ内に設けられている点で前述した従来技術の構成と相違し、その他の構成は従来技術の場合と同一である。

【0028】まず、図1における分岐ターゲットアドレ

スキャッシュ7、分岐予測回路8、処理認識ビット比較回路9について説明する。

【0029】分岐ターゲットアドレスキャッシュ7には、本発明のために第1の処理認識ビットが設けられる。このため、キャッシュ7内の各エントリは、分岐命令の命令アドレス、分岐ターゲットアドレス、第1の処理認識ビットにより構成される。第1の処理認識ビットは、このビットが“0”の場合、そのエントリが通常処理実行時に登録された予測データであることを示し、このビットが“1”の場合、そのエントリが割り込み処理時に登録された予測データであることを示す。

【0030】また、分岐予測回路8には、本発明のために第2の処理認識ビットが設けられる。そして、分岐予測回路8内の第2の処理認識ビットは、分岐予測回路8で行われている実行中の処理を示し、そのビットが“0”の場合、通常処理時であることを示し、そのビットが“1”の場合、割り込み処理時であることを示す。すなわち、分岐予測回路8内の第2の処理認識ビットには、常に実行中の処理を示す値が保持される。

【0031】分岐ターゲットアドレスキャッシュ7への予測データの登録は、分岐する命令がEステージの実行ユニット4において実行された場合に行われる。いま、実行ユニット4において、ターゲットアドレスキャッシュ7に未登録である分岐命令が実行され、その分岐命令が分岐した場合、分岐ターゲットアドレスキャッシュ7の命令アドレス部には分岐命令アドレス、ターゲットアドレス部にはデータ線113を介し分岐先アドレスが書き込まれる。このとき、分岐予測回路8内の第2の処理認識ビットは、通常処理時であれば“0”、割り込み処理時であれば“1”が保持されているため、分岐ターゲットアドレスキャッシュ7内の第1の認識ビットにはデータ線112を介し第2の処理認識ビットの値がそのまま書き込まれる。

【0032】分岐ターゲットアドレスキャッシュ7からの予測データの削除は、すでに登録されている分岐命令が分岐しなかった場合に行われる。また、分岐ターゲットアドレスキャッシュ7に予測データが登録されている分岐命令が実行されたが、命令実行の結果分岐しなかった場合、該当するエントリの予測データが削除される。

【0033】処理認識ビット比較回路9は、データ線110を介した分岐ターゲットアドレスキャッシュ7内の第1の処理認識ビットと、データ線112を介した分岐予測回路8内の第2の処理認識ビットとが与えられ、第1の処理認識ビットと第2の処理認識ビットとを比較し、一致しているか否かをデータ線115を介して分岐予測回路8へ送る。

【0034】分岐予測回路8は、分岐予測の処理を、アドレス比較回路6からデータ線109を介しアドレス一致の報告を受けても、処理認識ビット比較回路9からデータ線115を介し処理認識ビット不一致の報告を受け

ると分岐予測失敗と判断するように行う。

【0035】次に、図1に示す本発明の一実施形態によるプロセッサにおいて、分岐命令が実行される前に割り込みが発生した場合の処理を説明する。そして、分岐ターゲットアドレスキャッシュ7の各エントリには、通常処理で実行された分岐命令の予測データが格納されており、各エントリの第1の処理認識ビットが“0”の状態でおこる割り込みについて考える。このとき、割り込み発生以前には“0”であった分岐予測回路8内の第2の処理認識ビットは、割り込み信号105の発生により“0”から“1”に変化する。

【0036】以下、割り込み発生後の分岐命令実行の処理を図1に示されるデータプロセッサ構成と共に詳細に説明する。

【0037】図1に示す本発明の一実施形態によるデータプロセッサのIFステージは、プログラムカウンタ1、命令キャッシュ2、分岐ターゲットアドレスキャッシュ7、アドレス比較回路6、処理認識ビット比較回路9、分岐予測回路8が備えられて構成され、プログラムカウンタ1の値は、データ線101を介して命令キャッシュ2、分岐ターゲットアドレスキャッシュ7、アドレス比較回路6へ送られる。

【0038】プログラムカウンタ1は、アドレスのインクリメントを行い、分岐命令を実行する際に、分岐することが判るとターゲットアドレスをデータ線101に送る。

【0039】命令キャッシュ2は、データ線101の命令アドレスにより実行命令の取り出しを行い、取り出した命令をデータ線102を介し命令デコーダ3へ送る。一方、分岐ターゲットアドレスキャッシュ7は、読み出しデータの命令アドレス部をデータ線108を介してアドレス比較回路6へ送り、ターゲットアドレス部をデータ線107を介しプログラムカウンタ1へ送り、さらに、第1の処理認識ビットをデータ線110を介し処理認識ビット比較回路9へ送る。

【0040】割り込み処理中の分岐命令の処理において、分岐ターゲットアドレスキャッシュ7は、実アドレスで検索が行われることになる。そして、アドレス比較回路6は、分岐ターゲットアドレスキャッシュ7から送られた読み出しデータの命令アドレス部が実行される命令のアドレスと一致するか否かのチェックを行い、一致しているか否かのチェック結果をデータ線109を介し分岐予測回路8へ送る。このとき、分岐ターゲットアドレスキャッシュ7の検索と、アドレス比較回路6での比較動作とは、アドレスの変換が行われたかどうかは意識することなく行われる。このため、割り込み発生後の分岐命令は、割り込み発生前に予測データを登録した分岐命令と異なる分岐命令であっても、命令のアドレスが一致すれば、アドレス比較回路6は、比較結果の一致を報告する。

【0041】分岐予測回路8は、アドレス比較回路6からのデータ線109を介したアドレス比較結果の一致報告、処理認識ビット比較回路9からのデータ線115を介した処理認識ビット比較結果の一致報告の2つの報告を受け、両方共一致である場合に、プログラムカウンタ1に次の命令アドレスが分岐ターゲットアドレスキャッシュ7のアドレスになるようデータ線106を介し分岐指示を出す。もし、アドレス比較回路6での比較結果が一致していても、処理認識ビット比較回路9での比較結果が不一致の場合、分岐予測回路8は、プログラムカウンタ1への分岐指示を出さない。すなわち、割り込み発生後に分岐命令を実行する場合、前記アドレス比較回路6の動作により比較一致が報告されたとしても処理認識ビット比較回路9で比較結果が不一致であるため、分岐予測回路8は、予測失敗とみなし、分岐指示を出さない。

【0042】Dステージは、命令デコーダ3を備えて構成され、命令デコーダ3は、命令キャッシュ2より取り出された命令をデータ線102を介して受け取り、命令の読解を行い、実行ユニット4へデータ線103を介し命令実行の指示を行う。

【0043】Eステージは、実行ユニット4を備えて構成され、実行ユニット4は、命令デコーダ3より指示された命令を実行し、実行結果を各制御回路へ送る。すなわち、分岐予測回路8へはデータ線114を介して分岐解決の結果を報告する。分岐ターゲットアドレスキャッシュ7の予測データの登録は、分岐予測回路8からデータ線111を介した登録指示によりEステージで行われる。また、実行ユニット4から報告される分岐解決結果によるターゲットアドレスと、分岐予測回路8から報告される第2の処理認識ビットとは、予測データとしてEステージで登録される。

【0044】Wステージは、完了ユニット5を備えて構成される。完了ユニット5は、実行ユニット4での実行結果をデータ線104を介し受け取り、それを図示しないレジスタへ書き戻す。

【0045】前述した本発明の一実施形態によれば、前述したデータプロセッサの構成を備え、前述で説明した分岐命令の実行処理を行うことにより、割り込み発生後の分岐命令の実行時に不正なアドレスへの分岐を防ぐことができる。そして、もし、割り込み処理中に再び同じ分岐命令が実行された場合、分岐予測回路8内の第2の処理認識ビットが“1”に更新されており、また、分岐ターゲットアドレスキャッシュ7内の第1の処理認識ビットも“1”となっているため、処理認識ビットが一致し、従来通りの分岐予測と同じ動作を行うことができる。

【0046】なお、割り込み処理を終了して通常処理へ戻った場合、分岐予測回路8内の第2の処理認識ビットが“0”に更新されており、割り込み処理時に登録のなかった予測データの第1の処理認識ビットが“0”のま

10

20

30

40

50

までであるため、予測データをそのまま使うことができる。

【0047】前述した本発明の一実施形態は、第1、第2の処理認識ビットが通常処理であるか、割り込み処理であるかを示すものとして説明したが、本発明は、割り込み処理に代わって、システムコール、割り込みからの回復等の処理とすることができる。

【0048】

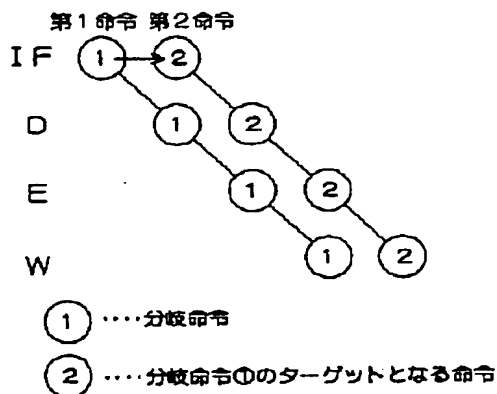
【発明の効果】以上説明したように本発明によれば、分岐ターゲットアドレスキャッシュの各エントリと分岐予測回路内とに処理認識ビットを設け、分岐予測に処理認識ビットの比較結果を取り入れることにより、わずかな回路規模の増加でシステムコール、割り込みからの回復等による処理変更後の分岐命令実行のペナルティを削減することができ、これにより、データプロセッサの処理効率を向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態によるパイプライン制御の

【図3】

【図3】



データプロセッサの構成を示すブロック図である。

【図2】従来技術によるパイプライン制御のデータプロセッサの構成を示すブロック図である。

【図3】従来技術において分岐予測が成功した場合の動作を説明するタイムチャートである。

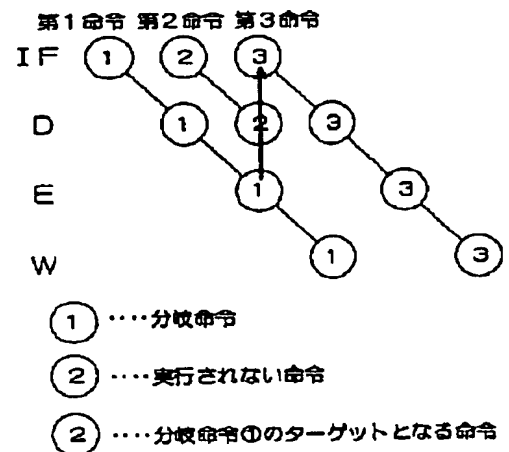
【図4】従来技術において分岐予測が失敗した場合の動作を説明するタイムチャートである。

【符号の説明】

- 1 プログラムカウンタ
- 2 命令キャッシュ
- 3 命令デコーダ
- 4 実行ユニット
- 5 完了ユニット
- 6 アドレス比較回路
- 7 分岐ターゲットアドレスキャッシュ
- 8 分岐予測回路
- 9 処理認識ビット比較回路

【図4】

【図4】







【図2】

【図2】

